

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222579  
(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H01L 21/338  
H01L 29/812  
H01L 41/08

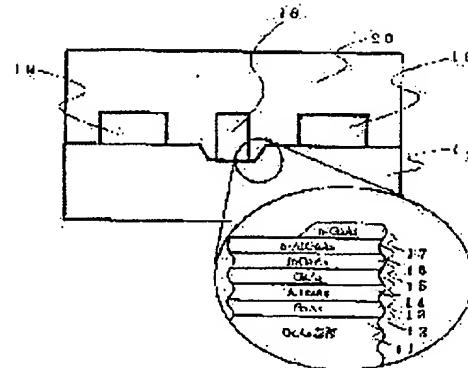
(21)Application number : 07-087761 (71)Applicant : NEC CORP  
(22)Date of filing : 16.02.1995 (72)Inventor : FUKAISHI MUNEO

## (54) FIELD EFFECT TRANSISTOR

### (57)Abstract:

PURPOSE: To suppress the drop of allowance in operation based on the temperature change of a field effect type transistor without incurring size up or increase of power consumption by compensating the temperature change of threshold voltage with a protective insulating film itself which compensates the said temperature change by the temperature change of film stress.

CONSTITUTION: A GaAs layer 12, an AlGaAs layer 13, a GaAs layer 14, an Inlays layer 15, an n-type AlGaAs layer 16, and an n-type GaAs layer 17 are epitaxially grown in order on a semiinsulating GaAs substrate 11. Next, recess structure is made by etching the n-type GaAs layer, and WSi/Pt/Au is stacked, and this is patterned to form a gate electrode 18. Subsequently, it is covered with AuGe/Ni/Au, and is patterned and sintered to form an ohmic electrode 19. To compensate the dependency on temperature of threshold voltage, the whole is covered with an insulating film 20 inclusive of the gate part, selecting a silicon nitride-oxide film which has temperature coefficient of the film stress of  $9 \times 10^6$  dyn/cm<sup>2</sup> °C.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-222579

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/338  
29/812  
41/08

識別記号  
7376-4M

F I  
H 0 1 L 29/80  
41/08

技術表示箇所  
P  
D

審査請求 有 請求項の数4 FD (全6頁)

(21)出願番号

特願平7-87761

(22)出願日

平成7年(1995)2月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 深石 宗生

東京都港区芝五丁目7番1号 日本電気株式会社内

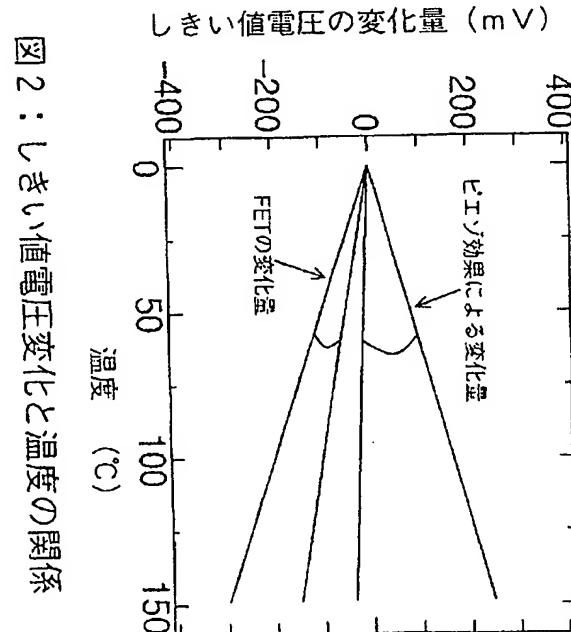
(74)代理人 弁理士 尾身 勉助

(54)【発明の名称】 電界効果型トランジスタ

(57)【要約】

【目的】 トランジスタのしきい値電圧の温度変化に基づく変動を保護絶縁膜によるストレスにより補償できるようにして、動作余裕度の確保を図る。

【構成】 MESFETやHEMT等のトランジスタでは、図に示すように、温度に依存してしきい値電圧が変化する。この温度依存性をトランジスタを被覆する保護絶縁膜のストレスの温度変化により補償する。具体的には、トランジスタ本来のしきい値の温度変化が負の温度係数を持つとき、ストレスによるピエゾ効果に起因するしきい値の温度依存性が正の係数を持つようにして、本来のトランジスタしきい値の温度依存性を補償する。



### 【特許請求の範囲】

【請求項1】 壓電性を有する半導体基板上に形成された電界効果型トランジスタであって、該電界効果型トランジスタ上には、該電界効果型トランジスタのしきい値電圧の温度変動を、その膜応力の温度変化により補償する保護絶縁膜が形成されていることを特徴とする電界効果型トランジスタ。

【請求項2】 前記保護絶縁膜が、シリコン塗化酸化物、シリコン塗化物、シリコン酸化物、塗化アルミニウムの中から選択された一乃至複数の材料により形成されていることを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】 前記半導体基板の正面が(100)面で、前記電界効果型トランジスタのドレイン電流の流れる方向が[011]と平行であるように形成され、前記絶縁膜の膜応力の温度依存性が、圧縮応力を負、引っ張り応力を正として、前記電界効果型トランジスタのしきい値電圧の温度変化と逆符号の傾きを持つことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項4】 前記半導体基板の正面が(100)面で、前記電界効果型トランジスタのドレイン電流の流れる方向が[01-1]（「-1」は1が上線有していることの代わり）と平行であるように形成され、前記絶縁膜の膜応力の温度依存性が、圧縮応力を負、引っ張り応力を正として、前記電界効果型トランジスタのしきい値電圧の温度変化と同符号の傾きを持つことを特徴とする請求項1記載の電界効果型トランジスタ。

### 【発明の詳細な説明】

{ 0 0 0 1 }

【産業上の利用分野】 本発明は電界効果型トランジスタに關し、特に基板の圧電性を利用して、トランジスタのしきい値電圧の温度変化に起因する変動を傾めて小さくした電界効果型トランジスタに關するものである。

[0 0 0 2]

【従来の技術】現在、GaAsなどのII-V族化合物半導体を用いた電界効果型トランジスタを集積化したLSIに関する研究・開発が活発に行われているが、その主要なテーマの一つは低消費電力化である。この低消費電力化には電源電圧の低電圧化が有効である。ところが、電源電圧を低電圧化した場合には、回路動作を可能にするしきい値電圧の余裕度が小さくなる。

【0003】一方、電源電圧とは無関係に、電界効果型トランジスタのしきい値電圧は、ゲート金属と基板材料とのショットキーフェニックスの高さや半導体基板中のキャリア濃度等が温度に依存して変化するため、温度に依存して変動する。このため、回路動作が可能な温度範囲が限定される。また、この温度変化に起因する余裕度の低下は、電源電圧の低電圧化に伴い、更に顕著となる。

【0004】そこで、温度変化に係わりなくLSを安定に動作させるために、温度変化に伴うしきい値電圧の

変動をなんらかの手段により補償しようとする試みがなされている。その第1の方法は、特開昭61-160960号公報に記載されたものであって、これは、基板温度を検出することができ、その温度により生ずる電界効果型トランジスタのしきい値電圧を補償するような基板電位設定回路を集積回路内に設けるものである。

【0005】第2の方法は、特開平1-137701号公報に示されるように、GaN上に電界効果型トランジスタを形成した場合において、電界効果型トランジスタ近傍にサイドゲートを配置し、サイドゲート電圧を環境温度に応じて制御することできい値電圧の環境温度変化による変動を抑制するものである。この温度補償の方法では、環境温度を検出する温度検出回路が必要となるほか、トランジスタに近接してサイドゲートを設けることが必要となる。

[0006]

【発明が解決しようとする課題】上述した公報に記載された従来例では、温度検出回路や補償回路あるいはサイドゲートを必要するものであるため、回路的に複雑になりまた部品点数の増加を招くため集積化に対する障害要因となる。また、これらの従来例では、追加回路によって消費電力が増加し低消費電力化の傾向に逆行するものとなっている。さらに、サイドゲートを設ける例では動作速度も低下する。したがって、本発明の目的は、部品点数を増加させることなく、しきい値電圧の温度変動を自己補償するが能够のようにして、大型化や消費電力の増大を招くことなく、電界効果型トランジスタの温度変化に基づく動作余裕度の低下を抑制できるようにすることである。

[ 0 0 0 7 ]

【課題を解決するための手段】上記目的を達成するため、本発明によれば、圧電性を有する半導体基板上に形成された電界効果型トランジスタであって、該電界効果型トランジスタ上には、該電界効果型トランジスタのしきい値電圧の温度変動を、その膜応力の温度変化により補償する保護絶縁膜が形成されていることを特徴とする電界効果型トランジスタ、が提供される。

{ 0 0 0 8 }

40 【作用】上記のように形成された電界効果型トランジスタでは、温度変化によるしきい値電圧の変動を電界効果型トランジスタ自身で補正することができる。圧電性を有する基板材料を用いた電界効果型トランジスタには、たとえば 1984 年 10 月、アイ・イー・イー・イー・トランザクションズ・オン・エレクトロニクン・デバイセス、第 ED-31巻、第 10 号 (P. M. Asbeck et al.; IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-31, NO. 10, OCTOBER, 1984) に示されるように、電界効果型トランジスタ上部に形成されるバッファーションおよび  
 50 層間絶縁膜の膜応力によるヒエゾ効果に起因してしきい

3

値電圧が変化することが知られている。而して、膜応力は温度によって変化するので、ピエゾ効果によるしきい値電圧の変動は温度変化に追随することになる。

【0009】たとえば、基板材料がGaAsである電界効果型トランジスタにおいて、膜応力としきい値電圧の間には、ゲート長を0.25μm、絶縁膜の膜厚を1μmとして、図1に示すような関係が成立する。すなわち、膜応力の変化に対して、しきい値電圧はほぼ直線的に変化する。また、絶縁膜応力の温度係数は、その材質・膜質を変化させることにより、圧縮応力を負、引っ張り応力を正として、-1.5~1.0×10<sup>6</sup>dyn/cm<sup>2</sup>・°Cの範囲で変化させることができる。そして、絶縁膜はその自己の温度係数に応じてその応力が直線的に変化するものであるから、結局、絶縁膜の及ぼすピエゾ効果により、温度変化に比例してしきい値電圧を変化させることができることになる。一方、電界効果型トランジスタのしきい値電圧は、絶縁膜が形成されていない場合、-1~-2mV/°C程度の温度係数を持って変動する。

【0010】図2は上記した電界効果型トランジスタにおける温度としきい値電圧の変化の関係を示す線図である。図2において、横軸に温度をとっており、縦軸にはしきい値電圧の変化量をとっている。なお、図2に示しているピエゾ効果によるしきい値電圧の変化量の計算には、ゲート長として0.25μm、絶縁膜の膜厚として1μmを仮定している。図2より、温度変化によるしきい値電圧変動の温度係数の範囲は-1~-2mV/°Cであり、ピエゾ効果に起因したしきい値電圧変動の温度係数の範囲は約-0.2~1.7mV/°Cである。したがって、このピエゾ効果に起因したしきい値電圧変動で、電界効果型トランジスタのしきい値電圧の温度変動を補償できることが分かる。

#### 【0011】

【実施例】次に、本発明の実施例について図面を参照して説明する。図3は、本発明の一実施例の電界効果型トランジスタを、一部を拡大して示した断面図である。この実施例は、高電子移動度のトランジスタに関するものである。このトランジスタは以下のように作製される。

【0012】(100)面を正面とする半絶縁性GaAs基板11上に、分子線エピタキシャル(MBE)法により、バッファ層となる膜厚約400nmでアンドープのGaAs層12、バッファ層となる膜厚約200nmでアンドープのInGaAs層13、バッファ層となる膜厚約60nmでアンドープのGaAs層14、チャネル層となる膜厚約15nmでアンドープのInGaAs層15、電子供給層となる、膜厚約30nmで不純物濃度が約2×10<sup>18</sup>cm<sup>-3</sup>のn型InGaAs層16、コントラクト層となる膜厚約600nmで不純物濃度が約4×10<sup>18</sup>cm<sup>-3</sup>のn型GaAs層17を、順次エピタキシャル成長させた。

4

【0013】次に、ドレイン電流の流れる方向が【011】となるように、ホトレジストをマスクにn型GaAs層30をエッチングしてリセス構造を形成し、スパッタ法および蒸着によりWSi/Ti/Pt/Auを堆積し、これをバーニングしてゲート電極18を形成する。続いて、AuGeNi/Auを被着し、バーニング、シンターリングを行ってオーミック電極19を形成する。これにより、絶縁膜(パッシベーション膜)形成前のトランジスタ構造が完成する。

【0014】ここで、絶縁膜形成前のしきい値電圧の温度依存性は、図4に示されるように、-1.5mV/°Cであった。このしきい値電圧の温度依存性を補償するためには、9×10<sup>6</sup>dyn/cm<sup>2</sup>・°Cの膜ストレスの温度係数を持つ絶縁膜が必要となる(図1参照)。一方、絶縁膜については、材料(SiO<sub>2</sub>、SiON、SiN、AlNなど)、その成膜法(スパッタ法、熱CVD法、プラズマCVD法など)と成膜条件により、そのストレスの温度係数が予め調査されている。ここでは、9×10<sup>6</sup>dyn/cm<sup>2</sup>・°Cの膜ストレスの温度係数を実現できる絶縁膜として、プラズマCVD法によるシリコン酸化膜(SiON)が選択される。そして、上記の温度係数を実現できる成膜条件に制御されて、ゲート部を含んで全体を被覆する絶縁膜20が膜厚1.0μmに形成される。

【0015】図4に、この絶縁膜20により被覆した後のトランジスタのしきい値の温度依存性が、絶縁膜で被覆する前の状態と対比して示されている。図4において、横軸は温度、縦軸はしきい値電圧の変化量をとっている。図4より、絶縁膜形成前に存在していたしきい値電圧の温度依存性は、絶縁膜形成後にはほぼ解消されていることが分かる。これは、絶縁膜の膜応力によるピエゾ効果に起因したしきい値電圧の温度依存性により、もともとのしきい値電圧の温度依存性が補償されたためである。

【0016】なお、以上の説明では、基板材料としてGaAsを用いていたが、これに代え、SiGe、InP、InAlAs、GaSb、InSb、GaInP、GaNなど、他の圧電性を有する半導体材料を用いてもよい。通常、化合物半導体を用いた電界効果型半導体装置では、しきい値電圧(トランジスタ本來)は負の温度依存性を持っている。一方、化合物半導体基板を用いる場合、基板正面として(100)面を選択し、ドレイン電流の方向を【011】方向とするとき、絶縁膜の圧縮応力を負、引っ張り応力を正として、絶縁膜が及ぼすピエゾ効果によるしきい値電圧の変化と膜圧力との間には正の比例関係がある。したがって、この方向に電流方向を選択するとき、絶縁膜のストレスの温度係数は、圧縮応力を負、引っ張り応力を正として、正であることが必要となる。

【0017】これに対して、基板正面として(100)

面を用い、ドレンイン電流の方向を【01-1】（「-1」は1が上線有していることの代わり）方向とするとき、絶縁膜が及ぼすピエゾ効果によるしきい値電圧の変化と膜圧力との間には負の比例関係がある。したがって、トランジスタの電流方向を【01-1】方向に選択するとき、絶縁膜のストレスの温度係数は、圧縮応力を負、引っ張り応力を正として、負であることが必要となる。

【0018】また、上記実施例では、電子供給層であるn型AlGaAs層16の不純物ドーピング方法として、一様なドーピングを行っていたが、この方法に代え、δドーピング（層内に高不純物濃度薄層を形成する）を行ってもよい。また、チャネルドーピングを行ってもよい。また、ゲート電極材料としてAl、Ti/Auなど、他のショットキー接合を形成できる材料を用いてもよく、また、オーミック電極を、AuMg、NiGeなど、他のオーミック電極材料を用いて形成してもよい。さらに、Ti/Pt/Auなどを用いてノンアロイコンタクト法によりオーミック電極を形成するようにしてもよい。

【0019】また、絶縁膜材料としては上記の材料の外、パッシベーション膜として通常用いられている材料を適宜使用することができる。さらに、それらの材料の複合膜を形成するようにしてもよい。複合膜を用いる場合には、単独の膜では実現困難な温度係数の膜を実現することができる。なお、トランジスタ上に形成する保護絶縁膜は、ウェハ全面に同一の材料で形成することもできるが、トランジスタに応じて異なる材料を用いるようにすることもできる。また、本発明は、MES構造の電界効果型トランジスタのみならず絶縁ゲート型のトランジスタにも適用が可能なものである。

【0020】

【発明の効果】以上説明したように、本発明による電界

効果型トランジスタでは、温度変化によるしきい値電圧の変動を膜応力の温度変化に起因したピエゾ効果により補償しているため、環境温度変化によりしきい値電圧が変動することなく、温度変化に対する回路動作の余裕度を確保することができる。また、本発明による電界効果型トランジスタでは、温度に対するしきい値電圧変動を電界効果型トランジスタ自身が自己補償しているため、外部温度補償回路を設ける必要がなく、消費電力の増大、部品点数の増加、回路構成の複雑化および動作速度の低下などの不都合を招くことなく上記の効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の作用を説明するための、電界効果型トランジスタ上に形成された絶縁膜の膜応力としきい値電圧変化量との関係を示すグラフ。

【図2】本発明の作用を説明するための、本来の電界効果型トランジスタのしきい値電圧の温度依存性と、絶縁膜ストレスによるピエゾ効果に基づくしきい値電圧の温度依存性を示すグラフ。

20 【図3】本発明の一実施例を示す電界効果型トランジスタの断面図。

【図4】本発明の一実施例の効果を示すグラフ。

【符号の説明】

1 1 半絶縁性GaAs基板

1 2、1 4 GaAs層

1 3 AlGaAs層

1 5 InGaAs層

1 6 n型AlGaAs層

1 7 n型GaAs層

1 8 ゲート電極

1 9 オーミック電極

2 0 絶縁膜

【図1】

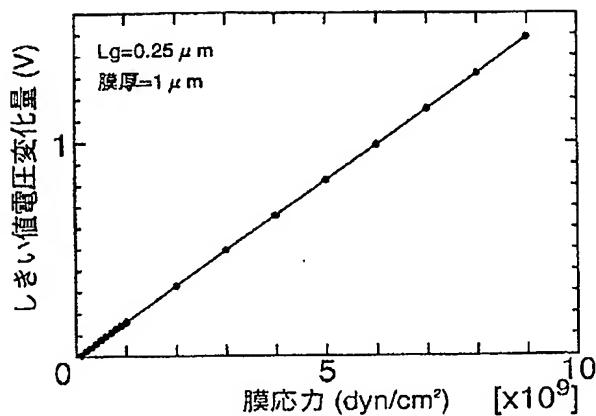


図1：しきい値電圧変化と膜応力の関係

【図2】

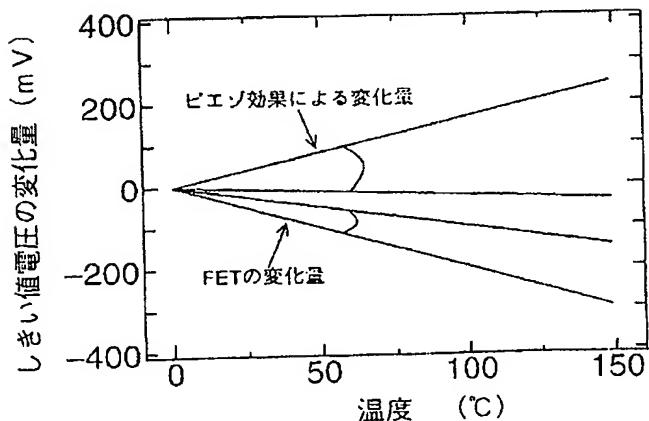
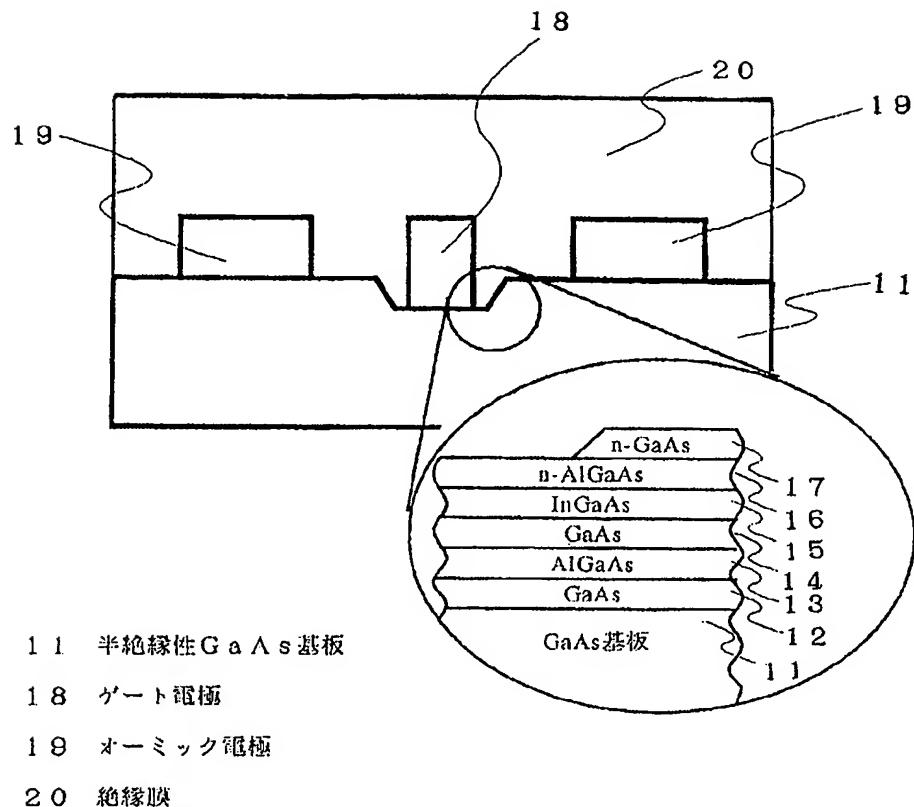


図2：しきい値電圧変化と温度の関係

【図3】



【図4】

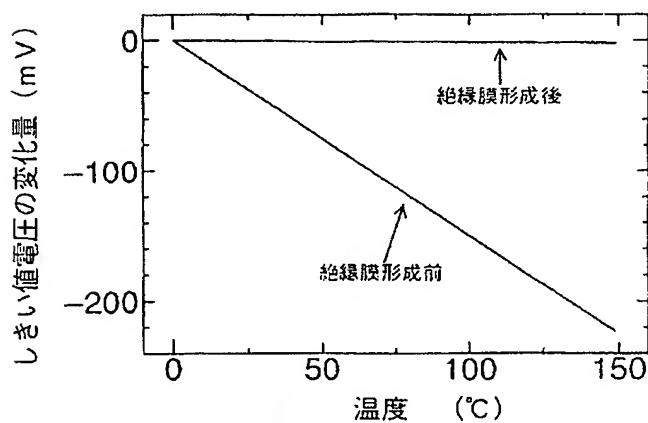


図4：しきい値電圧変化と温度との関係